

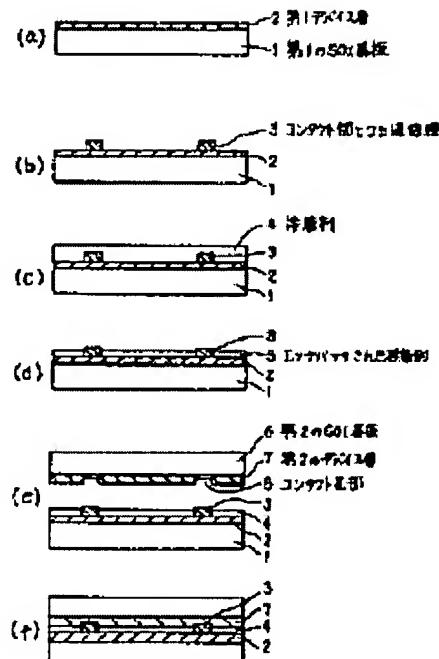
MANUFACTURE OF STACKED SEMICONDUCTOR DEVICE

Patent number: JP4240762
Publication date: 1992-08-28
Inventor: FUJIMURA TAKASHI
Applicant: SEIKO INSTR INC
Classification:
- international: H01L27/00; H01L21/02
- european:
Application number: JP19910007276 19910124
Priority number(s):

Abstract of JP4240762

PURPOSE: To easily manufacture a device provided with many functions by a method wherein a protruding conductive film is formed selectively on a device layer on a first SOI substrate, a recessed part corresponding to the protruding part on the first SOI substrate is formed in a device layer on a second SOI substrate and the two substrates are pasted.

CONSTITUTION: A first device layer 2 is formed on a first SOI substrate 1; after that, protruding parts 3, by a conductive film, which are used as contact parts are formed selectively. Then, an adhesive 4 is deposited; after that, it is etched back. The first device layer is pasted on a second device layer 7 in which contact hole parts 8 formed on a second SOI substrate 6 have been formed; a stacked semiconductor device is obtained.



Data supplied from the esp@cenet database - Worldwide

特開平4-240762

(43)公開日 平成4年(1992)8月28日

(51) Int.Cl.
H 01 L 27/00
21/02

識別記号 301 C 8418-4M
B 8518-4M

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号 特願平3-7276
(22)出願日 平成3年(1991)1月24日

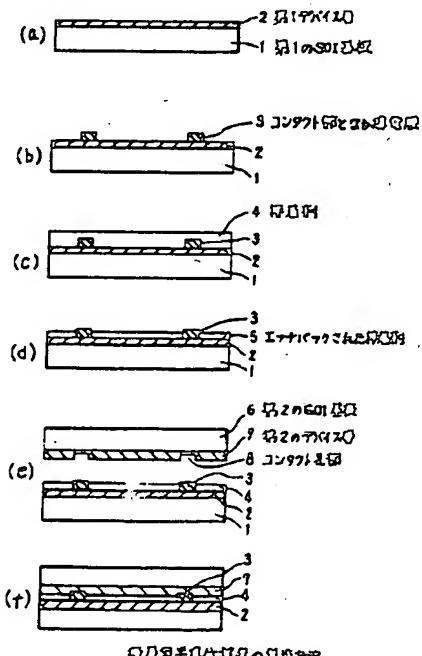
(71)出願人 000002325
セイコー電子工業株式会社
東京都江東区島戸6丁目31番1号
(72)発明者 藤村 隆
東京都江東区島戸6丁目31番1号 セイコ
ー電子工業株式会社内
(74)代理人 弁理士 林 敬之助

(54)【発明の名称】 棱眉型半導体装置の製造方法

(57)【要約】

【構成】 第1のSOI基板上にデバイス層2を形成し後、デバイス層2にコンタクトとして凸型の導電膜を選択的に形成した後、接着剤4を堆積させ、この接着剤をエッチバックし、次に第2のSOI基板6上にデバイス層7を形成し、第1基板の凸部に対応するように凹部を形成し、この2つの基板をはり合わせて棱眉型半導体装置を製造する。

【効果】 多機能なデバイスを構成することができ、チップ面積が有効に使える。また、従来の方法に比べて容易に棱眉型半導体装置を製造できる。



1

2

【特許請求の範囲】

【請求項1】 第1のSOI基板にデバイス層を形成する工程と、前記デバイスに選択的に凸部を形成する工程と、前記デバイスに、接着剤を堆積する工程と、前記接着剤をエッチバックする工程と、前記接着剤を介して、第1の基板と第2のSOI基板に形成させた素子層をはり合わせることにより、素子層間のコンタクトをとる工程とからなる積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、機能素子層をはり合わせた積層型半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来の半導体装置は、基板の表面あるいは表面のごく近傍に素子を形成するという、いわゆる一層型のデバイスであった。

【0003】

【発明が解決しようとする課題】 このような装置では、1つのデバイスを構成するために、大きな面積を必要とし多機能なデバイスを限られたチップ面積に組み込むことが困難となってきた。

【0004】

【課題を解決するための手段】 本発明は、このような従来デバイスのもの課題を解決するものであり、第1のSOI基板上にデバイス層を形成した後、デバイス層にコンタクトとして凸型の導電膜を選択的に形成した後、接着剤を堆積させる。この接着剤をエッチバックし、次に第2のSOI基板上にデバイス層を形成し、第1のSOI基板の凸部に対応するように凹部を形成した後、この2つの基板をはり合わせて積層型半導体の製造を行う。

【0005】

【作用】 上記のように、半導体装置を形成することにより多機能なデバイスを形成でき、チップ面積を有効に使うことができる。

【0006】

【実施例】 以下に、本発明の一実施例を図面に基づいて説明する。図1は、本発明に係る積層型半導体装置の製造方法を示すものである。第1のSOI基板1上に第1のデバイス層2を形成した後、選択的にコンタクト部となる導電膜の凸部3を形成する。そして、接着剤4を堆積した後、エッチバックする。これを第2のSOI基板6に形成したコンタクト孔部8が形成された第2のデバイス層7と、はり合わせることにより積層型半導体装置を製造する。

【0007】

【発明の効果】 この結果、従来の方式と比べて多機能なデバイスを構成することができ、チップ面積が有効に使える。また、従来の方式で基板上に素子層を形成した後に、はり合わせて積層型半導体装置を製造するので製造が容易に行える。

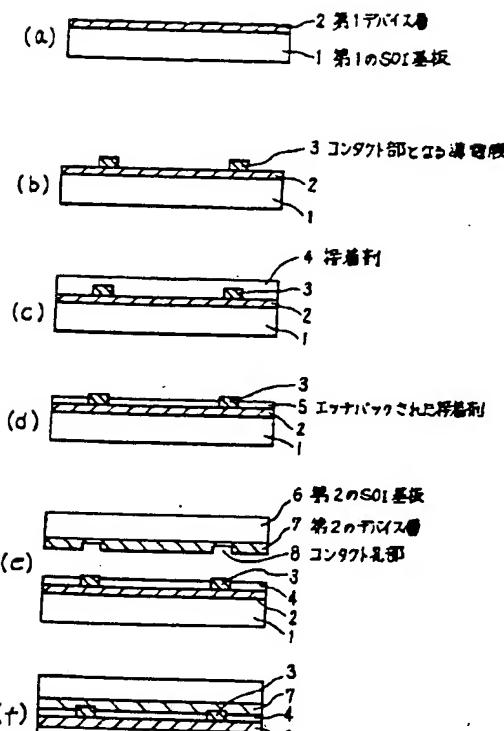
【図面の簡単な説明】

【図1】 本発明に係る積層型半導体装置の製造方法を示すものである。

【符号の説明】

- 1 第1のSOI基板
- 2 第1のデバイス層
- 3 コンタクト部となる導電膜
- 4 接着剤
- 5 エッチバックされた接着剤
- 6 第2のSOI基板
- 7 第2のデバイス層
- 8 コンタクト孔部

【図1】



積層型半導体装置の製造方法